

Docket No.: 49657-551

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Kazuhiro AIHARA, et al.

Serial No.:

Filed: February 07, 2000

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

:  
:  
:  
:  
:  
:  
:

Group Art Unit:

Examiner:

**PATENT**

JCS64 U.S. PTO  
09/499037



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-232227,  
filed August 19, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: February 7, 2000**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

49657-554#3  
FEB. 7, 2000  
AIHARA et al.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 8月19日

出 願 番 号

Application Number:

平成11年特許願第232227号

出 願 人

Applicant (s):

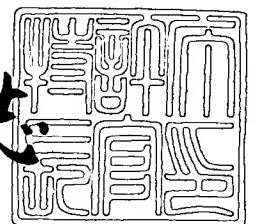
三菱電機株式会社

JC564 U.S. PRO  
09/499037  
02/07/00

1999年 8月31日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平11-3061287

【書類名】 特許願

【整理番号】 518823JP01

【提出日】 平成11年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 相原 一洋

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 土本 淳一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 稲葉 豊

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 若尾 和年

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395

【弁理士】

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上に形成されたタングステン膜を上部に含むコンタクトプラグと、

前記タングステン膜の上面に接するように形成された窒化タンタル膜を含むストレージ電極と、

前記窒化タンタル膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、

前記酸化タンタル膜の上面に接するように形成された窒化タンタル膜を含むセルプレート電極とを備えた、半導体装置。

【請求項 2】 半導体基板の上に形成された窒化タンタル膜を含むストレージ電極と、

前記窒化タンタル膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、

前記酸化タンタル膜の上面に接するように形成された窒化タンタル膜、および、前記窒化タンタル膜の上面に接するように形成された銅膜を含むセルプレート電極とを備えた、半導体装置。

【請求項 3】 半導体基板の上に形成された酸化インジウム膜を含むストレージ電極と、

前記酸化インジウム膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、

前記酸化タンタル膜の上面に接するように形成された酸化インジウム膜を含むセルプレート電極とを備えた、半導体装置。

【請求項 4】 前記ストレージ電極が、前記酸化インジウム膜の下面に接するように形成された窒化タンタル膜をさらに含む、請求項 3 に記載の半導体装置。

【請求項 5】 前記セルプレート電極が、前記酸化インジウム膜の上に形成された銅膜をさらに含む、請求項 3 または 4 に記載の半導体装置。

【請求項 6】 前記セルプレート電極が、前記酸化インジウム膜と前記銅膜との間に、前記酸化インジウム膜と前記銅膜とのそれぞれに接するように形成された窒化タンタル膜をさらに含む、請求項 5 に記載の半導体装置。

【請求項 7】 半導体基板の上にタングステン膜を含むコンタクトプラグを形成する工程と、

前記タングステン膜の上面に接する窒化タンタル膜を含むストレージ電極を形成する工程と、

前記窒化タンタル膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、

前記酸化タンタル膜の上面に接する窒化タンタル膜を含むセルプレート電極を形成する工程とを備える、半導体装置の製造方法。

【請求項 8】 半導体基板の上に窒化タンタル膜を含むストレージ電極を形成する工程と、

前記窒化タンタル膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、

前記酸化タンタル膜の上面に接する窒化タンタル膜を設けた後、前記窒化タンタル膜の上面に接する銅膜を設けてセルプレート電極を形成する工程とを備える、半導体装置の製造方法。

【請求項 9】 半導体基板の上に酸化インジウム膜を含むストレージ電極を形成する工程と、

前記酸化インジウム膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、

前記酸化タンタル膜の上面に接する酸化インジウム膜を含むセルプレート電極を形成する工程とを備える、半導体装置の製造方法。

【請求項 10】 前記ストレージ電極を形成する前記工程が、窒化タンタル膜を形成する工程と、該窒化タンタル膜の上面に接する前記酸化インジウム膜を形成する工程とを含む、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記セルプレート電極を形成する前記工程が、前記酸化インジウム膜を形成する工程と、前記酸化インジウム膜の上に銅膜を形成する工程

とを含む、請求項 9 または 10 に記載の半導体装置の製造方法。

【請求項 12】 前記セルプレート電極を形成する工程が、前記酸化インジウム膜を形成した後、前記銅膜を形成する前に、前記酸化インジウム膜の上面に接する窒化タンタル膜を形成する工程をさらに含む、請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DRAM (Dynamic Random Access Memory) 等に用いられるキャパシタを備えた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

従来から、信号情報を電荷として蓄積するキャパシタを有するDRAMを備えた半導体装置が用いられている。以下、従来のキャパシタを有するDRAMを備えた半導体装置の構造を、図18を用いて説明する。従来のキャパシタを有するDRAMを備えた半導体装置においては、図18に示すように、半導体基板120の主表面から所定の深さにかけてソース／ドレイン領域101が形成されている。このソース／ドレイン領域101を含む半導体基板120を覆うように層間酸化膜102が形成されている。この層間酸化膜102を貫通し、ソース／ドレイン領域101に向かって延びるコンタクトホールが形成されている。このコンタクトホールにを埋込むとともに、層間酸化膜102の上面に連続するように、n型の不純物を含む多結晶シリコン膜103を含むストレージ電極が形成されている。この多結晶シリコン膜103の表面および層間酸化膜102の上面の一部を連続して覆うように、化学式 $Ta_2O_5$ で示される酸化タンタル膜104を含むキャパシタ誘電体膜が形成されている。この酸化タンタル膜104の上面を覆うように、化学式 $TiN$ で示されるチタンナイトライド膜105を含むセルプレート電極がCVD (Chemical Vapor Deposition) 法を用いて形成されている。

【0003】

【発明が解決しようとする課題】

上記従来の半導体装置においては、セルプレート電極にバイアスの電圧が印加された場合には、キャパシタ誘電体膜である酸化タンタル膜 104 内にセルプレート電極であるチタンナイトライド膜 105 から電子が注入されるため、リーク電流が発生することになる。このリーク電流の原因となるセルプレート電極からキャパシタ誘電体膜への電子注入は、セルプレート電極を構成するチタンナイトライド膜 105 の仕事関数によって決まる、電子がポテンシャル障壁を超えるために必要とするエネルギーが、チタンナイトライド膜 105 中の電子に与えられることによって発生する。チタンナイトライド膜の仕事関数は 4.95 V であるが、チタンナイトライド膜を電極に用いた場合にリーク電流が発生するということは、仕事関数が 4.95 V よりも大きな材料を電極として用いる必要があることを意味する。

#### 【0004】

また、上記従来の半導体装置の製造方法においては、キャパシタ誘電体膜である酸化タンタル膜 104 を形成した後に、セルプレート電極となるチタンナイトライド膜 105 を堆積する工程が行われる。このチタンナイトライド膜 105 を堆積する工程においては、還元作用のあるアンモニア ( $\text{NH}_3$ ) ガスが用いられる。そのため、酸化タンタル膜 104 を構成する酸素原子がアンモニアガスにより奪われるため、酸化タンタル膜 104 は酸素原子の欠損が生じる。この酸化タンタル膜 104 の酸素原子の欠損に起因してキャパシタ誘電体膜にリーク電流が発生する。

#### 【0005】

上記のようなキャパシタに発生するリーク電流により、キャパシタに貯えられた電荷量が時間とともに減少する。その結果、キャパシタの電荷保持能力が低下するため、キャパシタのリフレッシュ特性が悪化するという問題が発生する。

#### 【0006】

本発明は上記の課題を解決するためになされたものであり、その目的は、キャパシタ誘電体膜にリーク電流が発生することを抑制することにより、電荷保持特性が向上したキャパシタを備える半導体装置およびその製造方法を提供することである。



【0 0 0 7】

【課題を解決するための手段】

請求項 1 に記載の本発明の半導体装置は、半導体基板の上に形成されたタングステン膜を上部に含むコンタクトプラグと、タングステン膜の上面に接するように形成された窒化タンタル膜を含むストレージ電極と、窒化タンタル膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、酸化タンタル膜の上面に接するように形成された窒化タンタル膜を含むセルプレート電極とを備えている。

【0 0 0 8】

このような構造にすることにより、従来の半導体装置のキャパシタのセルプレート電極に用いられていたチタンナイトライド膜に比較して、仕事関数が高い窒化タンタル膜をストレージ電極およびセルプレート電極に用いているため、キャパシタ誘電体膜を構成する酸化タンタル膜への電子の注入が低減される。そのため、キャパシタ誘電体膜でのリーク電流の発生が抑制される。

【0 0 0 9】

また、コンタクトプラグとしてタングステン膜を用いているため、従来技術の半導体装置においてストレージ電極に多結晶シリコン膜を使用したときに生じるような、製造工程中において避けることができないコンタクトプラグ上面の酸化を防止することができる。そのため、コンタクトプラグ上面が酸化されることに起因する付加的な容量の形成が防止される。その結果、キャパシタの静電容量が減少することが抑制される。

【0 0 1 0】

また、タングステン膜の上にバリア性の高い窒化タンタル膜を形成しているため、タングステン膜と窒化タンタル膜との間においては相互拡散が生じにくい。そのため、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜に生じるリーク電流の発生が抑制される。その結果、キャパシタの電荷保持特性が向上する。

【0 0 1 1】

請求項 2 に記載の本発明の半導体装置は、半導体基板の上に形成された窒化タ

ンタル膜を含むストレージ電極と、窒化タンタル膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、酸化タンタル膜の上面に接するように形成された窒化タンタル膜、および、窒化タンタル膜の上面に接するように形成された銅膜を含むセルプレート電極とを備えている。

## 【0012】

このような構造にすることにより、セルプレート電極に導電性が高い銅膜を用いるため、セルプレート電極内部での電子の移動速度が大きくなる。そのため、キャパシタに与えられる信号電荷に応答するキャパシタの応答速度が大きくなる。その結果、半導体装置の動作速度が大きくなる。また、バリア性の高い窒化タンタル膜をセルプレート電極の一部として用いているため、窒化タンタル膜と銅膜との間での相互拡散は生じにくい。そのため、セルプレート電極内で生じる相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、セルプレート電極の導電性を高めるために銅膜をセルプレート電極の一部に用いた場合にも、キャパシタの電荷保持特性を向上させることができる。

## 【0013】

請求項3に記載の本発明の半導体装置は、半導体基板の上に形成された酸化インジウム膜を含むストレージ電極と、酸化インジウム膜の上面に接するように形成された酸化タンタル膜を含むキャパシタ誘電体膜と、酸化タンタル膜の上面に接するように形成された酸化インジウム膜を含むセルプレート電極とを備えている。

## 【0014】

このような構造にすることにより、キャパシタ誘電体膜を構成する酸化タンタル膜に対して製造工程において還元反応を生じさせない酸化インジウム膜をストレージ電極およびセルプレート電極電極として用いるため、酸化タンタル膜中の酸素原子が還元反応によって奪われるおそれが小さい。それにより、キャパシタ誘電体膜を構成する酸化タンタル膜の結晶性は良好に維持される。そのため、酸化タンタル膜中の酸素原子が欠損することに起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、キャパシタの電荷保持特性が向

上する。

【0 0 1 5】

請求項 4 に記載の本発明の半導体装置は、請求項 3 に記載の半導体装置において、ストレージ電極が、酸化インジウム膜の下面に接するように形成された窒化タンタル膜をさらに含んでいる。

【0 0 1 6】

このような構造にすることにより、酸化インジウム膜の下面に接してバリア性が高い窒化タンタル膜が形成されているため、酸化インジウム膜とコンタクトプラグに用いる導電物質との相互拡散を抑制することができる。そのため、酸化インジウム膜とコンタクトプラグに用いる導電物質との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極に使用した場合にも、キャパシタの電荷保持特性が向上する。

【0 0 1 7】

請求項 5 に記載の本発明の半導体装置は、請求項 3 または 4 に記載の半導体装置において、セルプレート電極が、前記酸化インジウム膜の上に形成された銅膜をさらに含んでいる。

【0 0 1 8】

このような構造にすることにより、セルプレート電極に導電性が高い銅膜を用いるため、セルプレート電極内部での電子の移動速度が大きくなる。そのため、キャパシタに与えられる信号電荷に応答するキャパシタの応答速度が大きくなる。その結果、半導体装置の動作速度が大きくなる。

【0 0 1 9】

請求項 6 に記載の本発明の半導体装置は、請求項 5 に記載の半導体装置において、セルプレート電極が、酸化インジウム膜と銅膜との間に、酸化インジウム膜と銅膜とのそれぞれに接するように形成された窒化タンタル膜をさらに含んでいる。

【0 0 2 0】

このような構造にすることにより、セルプレート電極を構成する酸化インジウ

ム膜と銅膜との間に窒化タンタル膜が形成されているため、酸化インジウム膜と銅膜との間での相互拡散を抑制することができる。そのため、セルプレート内部での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、半導体装置の動作速度が向上させるためにセルプレート電極に銅膜を用いた場合にも、キャパシタの電荷保持特性を向上させることができる。

## 【0021】

請求項7に記載の本発明の半導体装置の製造方法は、半導体基板の上にタングステン膜を含むコンタクトプラグを形成する工程と、タングステン膜の上面に接する窒化タンタル膜を含むストレージ電極を形成する工程と、窒化タンタル膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、酸化タンタル膜の上面に接する窒化タンタル膜を含むセルプレート電極を形成する工程とを備えている。

## 【0022】

このような製造方法を用いることにより、従来の半導体装置のキャパシタのセルプレート電極の製造に用いられていたチタンナイトライド膜に比較して、仕事関数が高い窒化タンタル膜を用いてストレージ電極およびセルプレート電極を形成することになる。それにより、キャパシタ誘電体膜を構成する酸化タンタル膜に電子が注入される可能性が低いキャパシタを形成することができる。そのため、キャパシタ誘電体膜にリーク電流が発生するおそれが低減されたキャパシタを備えた半導体装置を製造することが可能となる。

## 【0023】

また、コンタクトプラグとしてタングステン膜を形成するため、従来技術の半導体装置においてストレージ電極に多結晶シリコン膜を使用したときに生じるような、製造工程中において避けることができないコンタクトプラグの上面が酸化される現象が発生しない。そのため、コンタクトプラグの上面の酸化に起因する付加的な容量の形成が防止されたキャパシタを形成することができる。その結果、キャパシタの静電容量が減少することが抑制された半導体装置を製造することができる。

## 【0024】

また、タングステン膜の上にバリア性の高い窒化タンタル膜を形成しているため、タングステン膜と窒化タンタル膜との間においては相互拡散が生じにくい。その結果、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制された半導体装置を製造することができる。その結果、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

## 【0025】

請求項 8 に記載の本発明の半導体装置の製造方法は、半導体基板の上に窒化タンタル膜を含むストレージ電極を形成する工程と、窒化タンタル膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、酸化タンタル膜の上面に接する窒化タンタル膜を設けた後、窒化タンタル膜の上面に接する銅膜を設けてセルプレート電極を形成する工程とを備えている。

## 【0026】

このような製造方法を用いることにより、セルプレート電極に導電性が高い銅膜を形成するため、セルプレート電極内部での電子の移動速度が大きなキャパシタを形成することができる。それにより、キャパシタに与えられる信号電荷にตอบสนองするキャパシタの応答速度が大きくなるため、動作速度が大きなキャパシタを備えた半導体装置を製造することが可能となる。

## 【0027】

また、バリア性の高い窒化タンタル膜をセルプレート電極の一部として形成することにより、窒化タンタル膜と銅膜との間の相互拡散が生じにくいセルプレート電極を形成することができる。そのため、セルプレート電極内での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、セルプレート電極の導電性を高めるために銅膜をセルプレート電極の一部に用いた場合にも、キャパシタの電荷保持特性が向上した半導体装置を製造することができる。

## 【0028】

請求項 9 に記載の本発明の半導体装置の製造方法は、半導体基板の上に酸化イ

ンジウム膜を含むストレージ電極を形成する工程と、酸化インジウム膜の上面に接する酸化タンタル膜を含むキャパシタ誘電体膜を形成する工程と、酸化タンタル膜の上面に接する酸化インジウム膜を含むセルプレート電極を形成する工程とを備えている。

## 【 0 0 2 9 】

このような製造方法を用いることにより、キャパシタ誘電体膜を構成する酸化タンタル膜に対して製造工程において還元反応を生じさせない酸化インジウム膜を用いるため、酸化タンタル膜中の酸素原子が還元反応によって奪われることが防止される。それにより、キャパシタ誘電体膜を構成する酸化タンタル膜の結晶性が良好に維持されたキャパシタを形成することができる。そのため、酸化タンタル膜中の酸素原子が欠損することに起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

## 【 0 0 3 0 】

請求項 1 0 に記載の本発明の半導体装置の製造方法は、請求項 9 に記載の半導体装置の製造方法において、ストレージ電極を形成する工程が、窒化タンタル膜を形成する工程と、この窒化タンタル膜の上面に接する酸化インジウム膜を形成する工程とを含んでいる。

## 【 0 0 3 1 】

このような製造方法を用いることにより、ストレージ電極を構成する酸化インジウム膜の下面に接してバリア性が高い窒化タンタル膜が形成されていることになる。それにより、酸化インジウム膜とコンタクトプラグに用いる導電物質との相互拡散が抑制されたキャパシタを形成することができる。そのため、酸化インジウム膜とコンタクトプラグに用いる導電物質との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極に使用した場合にも、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

【0032】

請求項 1 1 に記載の本発明の半導体装置の製造方法は、請求項 9 または 1 0 に記載の半導体装置の製造方法において、セルプレート電極を形成する工程が、酸化インジウム膜を形成する工程と、酸化インジウム膜の上に銅膜を形成する工程とを含んでいる。

【0033】

このような製造方法を用いることにより、セルプレート電極に導電性が高い銅膜を形成するため、セルプレート電極内部での電子の移動速度が大きなキャパシタを形成することができる。そのため、キャパシタに与えられる信号電荷に応答するキャパシタの応答速度が大きくなるため、動作速度が大きな半導体装置を製造することができる。

【0034】

請求項 1 2 に記載の本発明の半導体装置の製造方法は、請求項 1 1 に記載の半導体装置の製造方法において、セルプレート電極を形成する工程が、酸化インジウム膜を形成した後、銅膜を形成する前に、酸化インジウム膜の上面に接する窒化タンタルを形成する工程をさらに含んでいる。

【0035】

このような製造方法を用いることにより、セルプレート電極を構成する酸化インジウム膜と銅膜との間にバリア性が高い窒化タンタル膜を形成することになる。それにより、酸化インジウム膜と銅膜との相互拡散が抑制されたセルプレート電極を形成することができる。そのため、酸化インジウム膜と銅膜との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されるキャパシタを形成することができる。その結果、動作速度が大きなキャパシタを形成するためにセルプレート電極に銅膜を用いた場合にも、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態を図に基づいて説明する。

【0037】

## (実施の形態 1)

まず、本発明の実施の形態 1 のキャパシタを有する DRAM を備えた半導体装置の構造を、図 1 を用いて説明する。本実施の形態のキャパシタを有する DRAM を備えた半導体装置は、図 1 に示すように、半導体基板 20 の主表面から所定の深さにかけてソース／ドレイン領域 1 が形成されている。このソース／ドレイン領域 1 を含む半導体基板 20 を覆うように層間酸化膜 2 が形成されている。この層間酸化膜 2 を貫通し、ソース／ドレイン領域 1 に向かって延びるコンタクトホールが形成されている。このコンタクトホールの底部にはバリアメタル膜としてのチタンナイトライド膜 8 が形成されている。このチタンナイトライド膜 8 の上に、コンタクトホールを埋込むように、タングステン膜 6 が形成されている。タングステン膜 6 および層間酸化膜 2 の上面に連続するように、化学式  $Ta N_x$  で示される窒化タンタル膜 3 a が形成されている。この窒化タンタル膜 3 a の表面および層間酸化膜 2 の上面の一部を連続して覆うように、化学式  $Ta_2O_5$  で示される酸化タンタル膜 4 が形成されている。この酸化タンタル膜 4 の上面を覆うように、窒化タンタル膜 5 a が形成されている。

## 【0038】

本実施の形態の半導体装置においては、仕事関数が 5.41 V である窒化タンタル膜 3 a, 5 a をストレージ電極およびセルプレート電極に用いている。すなわち、本実施の形態の半導体装置においては、仕事関数が 4.95 V であるチタンナイトライド膜 105 をキャパシタの電極に用いていた従来の半導体装置と比較して、仕事関数が高い材料をキャパシタの電極に用いている。そのため、キャパシタ誘電体膜を構成する酸化タンタル膜 4 への電子の注入が低減される。その結果、キャパシタ誘電体膜でのリーク電流の発生が抑制される。

## 【0039】

また、コンタクトプラグとしてタングステン膜 6 を用いているため、従来技術においてストレージ電極を多結晶シリコン膜 103 を用いて形成したときに生じるといえるような、製造工程中において避けることができないコンタクトプラグ上面の酸化を防止することができる。そのため、コンタクトプラグ上面が酸化されることに起因する付加的な容量の形成が防止される。その結果、キャパシタの静電容量



が減少することが抑制される。

【0040】

また、タングステン膜6の上にバリア性の高い窒化タンタル膜3aを形成しているため、タングステン膜6と窒化タンタル膜3aとの間においては相互拡散が生じにくい。そのため、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、キャパシタの電荷保持特性が向上する。

【0041】

次に、本発明の実施の形態1のキャパシタを有するDRAMを備えた半導体装置の製造方法を、図1～図6を用いて説明する。本実施の形態の半導体装置の製造方法は、まず、半導体基板20の主表面から所定の深さにかけてソース/ドレイン領域1を形成する。次に、このソース/ドレイン領域1を含む半導体基板20を覆うように層間酸化膜2を形成する。その後、層間酸化膜2を貫通し、ソース/ドレイン領域1に向かって延びるコンタクトホールを形成する。次に、コンタクトホールの底部にはバリアメタル膜としてのチタンナイトライド膜8を形成する。その後、このチタンナイトライド膜8の上に、コンタクトホールを埋込むように、タングステン膜6を形成し、図2に示す状態とする。

【0042】

次に、図3に示すように、タングステン膜6および層間酸化膜2の上面に連続するように、化学式 $Ta N_x$ で示される窒化タンタル膜30aを、スパッタ法を用いて形成する。この窒化タンタル膜30aを形成するスパッタ法は、ターゲットであるタンタルに圧力30mTorr中で50cc/minのArガスを衝突させた後、発生したタンタルと20cc/minの窒素ガスとが反応した窒化タンタルをタングステン膜6および層間酸化膜2の上にスパッタすることにより行なう。次に、図4に示すように、窒化タンタル膜30aを所定のパターンにエッチングすることにより、ストレージ電極となる窒化タンタル膜3aを形成する。その後、図5に示すように、この窒化タンタル膜3aの表面および層間酸化膜2の上面を連続して覆うように、化学式 $Ta_2O_5$ で示される酸化タンタル膜40をCVD法により形成する。酸化タンタル膜40をCVD法により形成する方法は

、化学式  $Ta(OC_2H_5)_5$  で示されるペンタキス（エトキソ）タンタルを原料として、酸素ガス中で化学反応を起こさせた後、圧力 1 Torr、温度 450℃ の条件において、窒化タンタル膜 3 a の表面を覆うように堆積させることにより行なう。次に、図 6 に示すように、酸化タンタル膜 4 0 の上面を覆うように、窒化タンタル膜 5 0 a を形成する。その後、酸化タンタル膜 4 0 および窒化タンタル膜 5 0 a を所定のパターンにエッチングすることにより、図 1 に示すように、キャパシタ誘電体膜となる酸化タンタル膜 4 およびストレージ電極となる窒化タンタル膜 5 a を形成する。これにより、本実施の形態の半導体装置のキャパシタが完成する。

#### 【0043】

本実施の形態の半導体装置の製造方法においては、ストレージ電極およびセルプレート電極を形成するために、仕事関数が 5.41 V である窒化タンタル膜 3 0 a, 5 0 a を用いている。すなわち、本実施の形態の半導体装置の製造方法においては、仕事関数が 4.95 V であるチタンナイトライド膜 1 0 5 に比較して、仕事関数が高い材料を用いてキャパシタの電極を形成している。

#### 【0044】

このような製造方法を用いることにより、仕事関数が高い窒化タンタル膜 3 a, 5 a をストレージ電極およびセルプレート電極として形成するため、キャパシタ誘電体膜を構成する酸化タンタル膜 4 に電子が注入される可能性が低いキャパシタを形成することができる。そのため、キャパシタ誘電体膜にリーク電流が発生するおそれが低くなることにより、電荷保持特性の劣化が抑制されたキャパシタを備えた半導体装置を製造することが可能となる。

#### 【0045】

また、コンタクトプラグとしてタングステン膜 6 を形成するため、従来技術の半導体装置のキャパシタにおいて多結晶シリコン膜を使用したときに生じるような、製造工程中において避けることができないコンタクトプラグ上面が酸化される現象が発生しない。そのため、コンタクトプラグの上面の酸化に起因する付加的な容量の形成が防止されたキャパシタを形成することができる。その結果、キャパシタの静電容量が減少することが抑制された半導体装置を製造することがで

きる。

【0046】

また、タングステン膜6の上にバリア性の高い窒化タンタル膜3aを形成しているため、タングステン膜6と窒化タンタル膜3aとの間においては相互拡散が生じにくいコンタクトプラグおよびストレージ電極を形成することができる。その結果、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを製造することができる。その結果、キャパシタの電荷保持特性が向上した半導体装置を製造することが可能となる。

【0047】

(実施の形態2)

次に、本発明の実施の形態2のキャパシタを有するDRAMを備えた半導体装置の構造を、実施の形態1と同様に図1を用いて説明する。本実施の形態のキャパシタを有するDRAMを備えた半導体装置は、図1に示すように、全体構造においては、実施の形態1の半導体装置と同様である。実施の形態1においては、キャパシタ誘電体膜である酸化タンタル膜4を上下から挟むストレージ電極およびセルプレート電極として窒化タンタル膜3a, 5aを用いている。しかしながら、本実施の形態においては、ストレージ電極およびセルプレート電極として窒化タンタル膜3a, 5aを用いる代わりに、化学式 $\text{In}_2\text{O}_3$ で示される酸化インジウム膜3b, 5bを用いていることが異なっている。なお、本実施の形態半導体装置の構造においては、図1中の3a, 5aを用いず、括弧書きで示した(3b), (5b)を用いて説明する。

【0048】

このような構造にすることにより、酸化タンタル膜4に対して製造工程において還元反応を生じさせない酸化インジウム膜3b, 5bをキャパシタの電極として用いるため、キャパシタ誘電体膜を構成する酸化タンタル膜4中の酸素原子が還元反応によって奪われることが防止される。それにより、キャパシタ誘電体膜を構成する酸化タンタル膜4の結晶性は良好に維持される。そのため、酸化タンタル膜4中の酸素原子が欠損することに起因してキャパシタ誘電体膜にリーク電

流が発生することが抑制される。その結果、キャパシタの電荷保持特性が向上する。

【0049】

次に、本発明の実施の形態2のキャパシタを有するDRAMを備えた半導体装置の製造方法を、実施の形態1と同様に図1～図6を用いて説明する。本実施の形態の半導体装置の製造方法は、図1～図6で示された実施の形態1の半導体装置の製造方法と略同様の工程により行われる。しかしながら、図3および図6に示す工程において、ストレージ電極およびセルプレート電極として窒化タンタル膜30a、50aをスパッタ法を用いて形成する代わりに、化学式 $\text{In}_2\text{O}_3$ で示される酸化インジウム膜30b、50bをスパッタ法を用いて形成することが異なっている。なお、本実施の形態半導体装置の製造方法においては、図中の3a、5a、30a、50aを用いず、括弧書きで示した(3b)、(5b)、(30b)、(50b)を用いて説明する。

【0050】

このような製造方法を用いることにより、キャパシタ誘電体膜を構成する酸化タンタル膜40に対して製造工程において還元反応を生じさせない酸化インジウム膜30b、50bを用いるため、酸化タンタル膜40中の酸素原子が還元反応によって奪われることが防止される。それにより、キャパシタ誘電体膜を構成する酸化タンタル膜4の結晶性が良好に維持されたキャパシタを形成することができる。そのため、酸化タンタル膜4中の酸素原子が欠損することに起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することができる。

【0051】

(実施の形態3)

次に、本発明の実施の形態3のキャパシタを有するDRAMを備えた半導体装置の構造を、図7を用いて説明する。本実施の形態のキャパシタを有するDRAMを備えた半導体装置は、図7に示すように、全体構造においては、実施の形態1の図1を用いて示した半導体装置と略同様の構造である。しかしながら、セルプレート電極として、窒化タンタル膜5aおよびこの窒化タンタル膜5aの上面

に接した銅膜 7 が形成されていることが異なっている。

【0052】

このような構造にすることにより、セルプレート電極に導電性が高い銅膜 7 を用いるため、セルプレート電極内部での電子の移動速度が大きくなる。そのため、キャパシタに与えられる信号電荷に応答するキャパシタの応答速度が大きくなる。その結果、半導体装置の動作速度が大きくなる。

【0053】

また、バリア性の高い窒化タンタル膜 5 a をセルプレート電極の一部として用いているため、窒化タンタル膜 5 a と銅膜 7 との相互拡散が生じにくい。そのため、セルプレート電極内で生じる相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。セルプレート電極の導電性を高めるために銅膜をセルプレート電極の一部に用いた場合にも、キャパシタの電荷保持特性を向上させることができる。

【0054】

また、本実施の形態の半導体装置は、実施の形態 1 の半導体装置における窒化タンタル膜 5 a の上に銅膜 7 を形成したが、実施の形態 2 で示した半導体装置の酸化インジウム膜 5 b の上に銅膜 7 を形成しても上記と同様に、半導体装置の動作速度が大きくなるという効果、および、電荷保持特性を向上させることができるという効果を得ることができる。

【0055】

次に、本発明の実施の形態 3 のキャパシタを有する D R A M を備えた半導体装置の製造方法を、図 6 ～ 図 8 を用いて説明する。本実施の形態の半導体装置の製造方法は、実施の形態 1 の半導体装置の製造方法と略同様の工程により行われる。しかしながら、実施の形態 1 で示した図 6 の状態において、図 8 に示すように、窒化タンタル膜 5 0 a の上に銅膜 7 0 をスパッタ法を用いてさらに形成した後、窒化タンタル膜 3 0 a、酸化タンタル膜 4 0、窒化タンタル膜 5 0 a および銅膜 7 0 をエッチングすることが実施の形態 1 の半導体装置の製造方法と異なる。

【0056】

このような製造方法を用いることにより、セルプレート電極の一部として導電

性が高い銅膜 7 を形成するため、セルプレート電極内部での電子の移動速度が大きなキャパシタを形成することができる。そのため、キャパシタに与えられる信号電荷に応答するキャパシタの応答速度が大きくなるため、動作速度が大きな半導体装置を製造することができる。

## 【0057】

また、バリア性の高い窒化タンタル膜 5 a をセルプレート電極として形成するため、窒化タンタル膜 5 a と銅膜 7 との間の相互拡散は生じにくい。そのため、セルプレート電極内での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、セルプレート電極の導電性を高めるために銅膜をセルプレート電極の一部に用いた場合にも、キャパシタの電荷保持特性が向上した半導体装置を製造することができる。

## 【0058】

また、本実施の形態の半導体装置の製造方法においては、実施の形態 1 の半導体装置の製造方法における窒化タンタル膜 5 a の上に銅膜 7 をさらに形成したが、実施の形態 2 で示した半導体装置の酸化インジウム膜 5 b の上に銅膜 7 をさらに形成する製造方法を用いた場合においても上記と同様に、動作速度が大きな半導体装置を形成することができるという効果、および、電荷保持特性が向上した半導体装置を形成することができるという効果を得ることができる。

## 【0059】

## (実施の形態 4)

次に、本発明の実施の形態 4 のキャパシタを有する DRAM を備えた半導体装置の構造を、図 9 を用いて説明する。図 9 に示すように、本実施の形態のキャパシタを有する DRAM を備えた半導体装置は、図 9 に示すように、半導体基板 20 の主表面から所定の深さにかけてソース/ドレイン領域 1 が形成されている。このソース/ドレイン領域 1 を含む半導体基板 20 を覆うように層間酸化膜 2 が形成されている。この層間酸化膜 2 を貫通し、ソース/ドレイン領域 1 に向かって延びるコンタクトホールが形成されている。このコンタクトホールの底部にはバリアメタル膜としてのチタンナイトライド膜 8 が形成されている。このチタン

ナイトライド膜 8 の上に、タングステン膜 6 が形成されている。このタングステン膜 6 の上に、コンタクトホールに埋込むように、ストレージ電極の一部を構成するバリア性の高い窒化タンタル膜 9 が形成されている。この窒化タンタル膜 9 および層間酸化膜 2 の上面に連続するように、化学式  $\text{In}_2\text{O}_5$  で示される酸化インジウム膜 3 b が形成されている。この酸化インジウム膜 3 b の表面および層間酸化膜 2 の上面の一部を連続して覆うように、化学式  $\text{Ta}_2\text{O}_5$  で示される酸化タンタル膜 4 が形成されている。酸化タンタル膜 4 の上面を覆うように、酸化インジウム膜 5 b が形成されている。酸化インジウム膜 5 b の上面に、窒化タンタル膜 1 0 が形成されている。窒化タンタル膜 1 0 の上面に銅膜 7 が形成されている。

## 【0060】

このような構造にすることにより、ストレージ電極を構成する酸化インジウム膜 3 b の下面に接して窒化タンタル膜 9 が形成されているため、酸化インジウム膜 3 b とタングステン膜 6 との相互拡散を抑制することができる。そのため、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。その結果、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極に使用した場合にもキャパシタの電荷保持特性を向上させることができる。

## 【0061】

また、セルプレート電極を構成する酸化インジウム膜 5 b と銅膜 7 との間に窒化タンタル膜 1 0 が形成されているため、酸化インジウム膜 5 b と銅膜 7 との相互拡散を抑制することができる。そのため、セルプレート電極内での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することを抑制することができる。その結果、キャパシタの応答速度を大きくするためにセルプレート電極に銅膜を用いた場合にも、キャパシタの電荷保持特性を向上させることができる。

## 【0062】

次に、本発明の実施の形態 4 のキャパシタを有する DRAM を備えた半導体装置の製造方法を、図 9 ～ 図 1 7 を用いて説明する。本実施の形態の半導体装置の製造方法は、まず、半導体基板 2 0 の主表面から所定の深さにかけてソース／ド

レイン領域 1 を形成する。次に、このソース／ドレイン領域 1 を含む半導体基板 20 を覆うように層間酸化膜 2 を形成する。その後、層間酸化膜 2 を貫通し、ソース／ドレイン領域 1 に向かって延びるコンタクトホールを形成する。次に、コンタクトホールの底部にはバリアメタル膜としてのチタンナイトライド膜 8 を形成する。その後、このチタンナイトライド膜 8 の上に、コンタクトホールを途中まで埋込むように、タングステン膜 6 を形成し、図 10 に示す状態とする。

## 【0063】

その後、図 11 に示すように、ストレージ電極の一部であってバリアメタルとして機能する窒化タンタル膜 9 をコンタクトホールを埋込むように形成する。次に、図 12 に示すように、窒化タンタル膜 9 および層間酸化膜 2 の上面に連続するように、化学式  $\text{In}_2\text{O}_3$  で示される酸化インジウム膜 30b を、スパッタ法を用いて形成する。

## 【0064】

次に、図 13 に示すように、酸化インジウム膜 30b を所定のパターンにエッチングすることにより、ストレージ電極の一部となる酸化インジウム膜 3b を形成する。その後、図 14 に示すように、酸化インジウム膜 3b の表面および層間酸化膜 2 の上面を連続して覆うように、化学式  $\text{Ta}_2\text{O}_5$  で示される酸化タンタル膜 40 を CVD 法により形成する。酸化タンタル膜 40 を CVD 法により形成する方法は、化学式  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  で示されるペンタキス（エトキソ）タンタルを原料として、酸素ガス中で化学反応を起こさせた後、圧力 1 Torr、温度 450℃ の条件において、酸化インジウム膜 3b の上に堆積させることにより行なう。その後、図 15 に示すように、酸化タンタル膜 40 の上面を覆うように、酸化インジウム膜 50b を形成する。次に、図 16 に示すように、酸化インジウム膜 50b の上に窒化タンタル膜 100 を形成する。その後、図 17 に示すように、窒化タンタル膜 100 の上に銅膜 70 をスパッタ法を用いて形成する。次に、酸化タンタル膜 40、酸化インジウム膜 50b、窒化タンタル膜 100 および銅膜 70 を所定のパターンにエッチングすることにより、図 9 に示すように、キャパシタ誘電体膜となる酸化タンタル膜 4、ならびに、セルプレート電極構成する酸化インジウム膜 5b、窒化タンタル膜 10 および銅膜 7 を形成する。これによ



り、本実施の形態の半導体装置のキャパシタが完成する。

【0065】

このような製造方法を用いることにより、ストレージ電極を一部を構成するように、酸化インジウム膜 3 b の下面に接してバリア性が高い窒化タンタル膜 9 が形成されるため、酸化インジウム膜 3 b とタングステン膜 6 との相互拡散が抑制されるキャパシタを形成することができる。そのため、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極の一部として形成した場合においても、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することができる。

【0066】

また、セルプレート電極を構成する酸化インジウム膜 5 b と銅膜 7 との間にバリア性が高い窒化タンタル膜 10 を形成することになる。それにより、酸化インジウム膜 5 b と銅膜 7 との間での相互拡散が抑制されたセルプレート電極を形成することができる。そのため、セルプレート電極内部での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができる。その結果、導電性が高い銅膜をセルプレート電極に用いた場合においても、電荷保持特性が向上したキャパシタを備える半導体装置を製造することができる。

【0067】

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0068】

【発明の効果】

請求項 1 に記載の本発明の半導体装置によれば、仕事関数が高い窒化タンタル膜をストレージ電極およびセルプレート電極に用いているため、キャパシタ誘電

体膜にリーク電流が発生するおそれが低くなる。また、コンタクトプラグとしてタングステン膜を用いているため、キャパシタの静電容量の減少を抑制することができる。また、タングステン膜の上にバリア性の高い窒化タンタル膜を形成しているため、キャパシタの電荷保持特性が向上する。

【0069】

請求項2に記載の本発明の半導体装置によれば、セルプレート電極に導電性が高い銅膜を用いるため、半導体装置の動作速度が大きくなる。また、バリア性の高い窒化タンタル膜をセルプレート電極の一部として用いることにより、セルプレート電極内部での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制される。

【0070】

請求項3に記載の本発明の半導体装置によれば、キャパシタ誘電体膜を構成する酸化タンタル膜に対して製造工程において還元反応を生じさせない酸化インジウム膜を用いるため、キャパシタの電荷保持特性が向上する。

【0071】

請求項4に記載の本発明の半導体装置によれば、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極に使用した場合にも、キャパシタの電荷保持特性が向上する。

【0072】

請求項5に記載の本発明の半導体装置によれば、セルプレート電極に導電性が高い銅膜を用いるため、半導体装置の動作速度が大きくなる。

【0073】

請求項6に記載の本発明の半導体装置によれば、半導体装置の動作速度が向上させるためにセルプレート電極に銅膜を用いた場合にも、キャパシタの電荷保持特性を向上させることができる。

【0074】

請求項7に記載の本発明の半導体装置の製造方法によれば、仕事関数が高い窒化タンタル膜をストレージ電極およびセルプレート電極として形成するため、キャパシタ誘電体膜にリーク電流が発生するおそれが低減されたキャパシタを備え

た半導体装置を製造することが可能となる。また、コンタクトプラグとしてタングステン膜を形成するため、キャパシタの静電容量の減少が抑制された半導体装置を製造することが可能となる。また、コンタクトプラグとストレージ電極との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されるため、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

## 【0075】

請求項 8 に記載の本発明の半導体装置の製造方法によれば、セルプレート電極に導電性が高い銅膜を形成するため、動作速度が大きなキャパシタを備えた半導体装置を製造することが可能となる。また、バリア性の高い窒化タンタル膜をセルプレート電極の一部として形成することにより、窒化タンタル膜と銅膜との間での相互拡散に起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを備えた半導体装置を製造することができる。

## 【0076】

請求項 9 に記載の本発明の半導体装置の製造方法によれば、酸化タンタル膜中の酸素原子が欠損することに起因してキャパシタ誘電体膜にリーク電流が発生することが抑制されたキャパシタを形成することができるため、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

## 【0077】

請求項 10 に記載の本発明の半導体装置の製造方法によれば、製造工程において酸化タンタル膜を還元しない酸化インジウム膜をストレージ電極に使用した場合にも、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

## 【0078】

請求項 11 に記載の本発明の半導体装置の製造方法によれば、セルプレート電極に導電性が高い銅膜を形成するため、動作速度が大きな半導体装置を製造することができる。

## 【0079】

請求項 12 に記載の本発明の半導体装置の製造方法によれば、動作速度が大き

なキャパシタを形成するためにセルプレート電極に銅膜を用いた場合にも、電荷保持特性が向上したキャパシタを備えた半導体装置を製造することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 および 2 の半導体装置の断面構造を模式的に示す図である。

【図 2】 本発明の実施の形態 1 および 2 の半導体装置の製造方法の第 1 工程を示す図である。

【図 3】 本発明の実施の形態 1 および 2 の半導体装置の製造方法の第 2 工程を示す図である。

【図 4】 本発明の実施の形態 1 および 2 の半導体装置の製造方法の第 3 工程を示す図である。

【図 5】 本発明の実施の形態 1 および 2 の半導体装置の製造方法の第 4 工程を示す図である。

【図 6】 本発明の実施の形態 1 および 2 の半導体装置の製造方法の第 5 工程を示す図である。

【図 7】 本発明の実施の形態 3 の半導体装置の断面構造を模式的に示す図である。

【図 8】 本発明の実施の形態 3 の半導体装置の製造方法の製造工程を示す図である。

【図 9】 本発明の実施の形態 4 の半導体装置の断面構造を模式的に示す図である。

【図 1 0】 本発明の実施の形態 4 の半導体装置の製造方法の第 1 工程を示す図である。

【図 1 1】 本発明の実施の形態 4 の半導体装置の製造方法の第 2 工程を示す図である。

【図 1 2】 本発明の実施の形態 4 の半導体装置の製造方法の第 3 工程を示す図である。

【図 1 3】 本発明の実施の形態 4 の半導体装置の製造方法の第 4 工程を示す図である。

す図である。

【図 1 4】 本発明の実施の形態 4 の半導体装置の製造方法の第 5 工程を示す図である。

【図 1 5】 本発明の実施の形態 4 の半導体装置の製造方法の第 6 工程を示す図である。

【図 1 6】 本発明の実施の形態 4 の半導体装置の製造方法の第 7 工程を示す図である。

【図 1 7】 本発明の実施の形態 4 の半導体装置の製造方法の第 8 工程を示す図である。

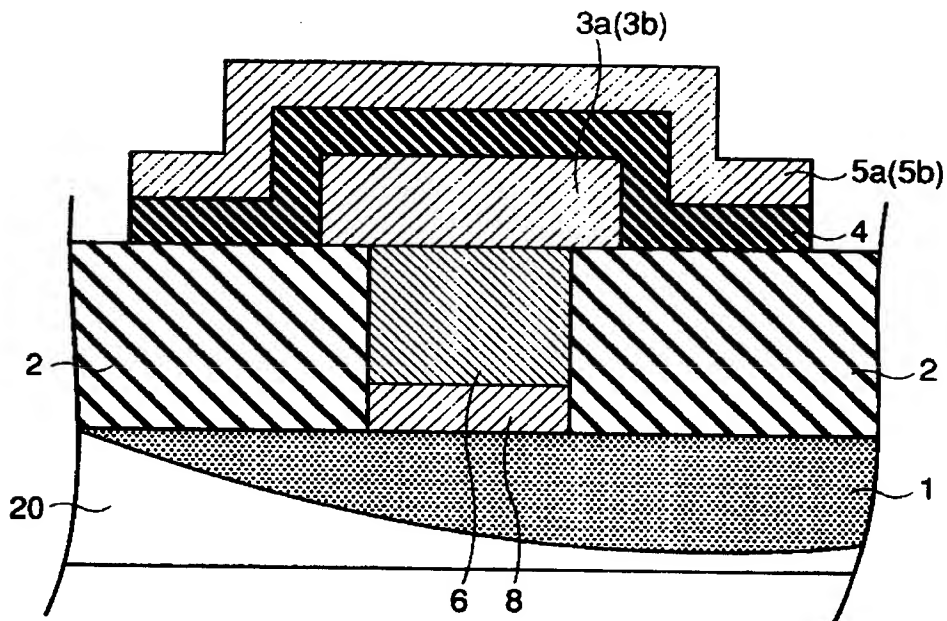
【図 1 8】 従来の半導体装置の断面構造を模式的に示す図である。

【符号の説明】

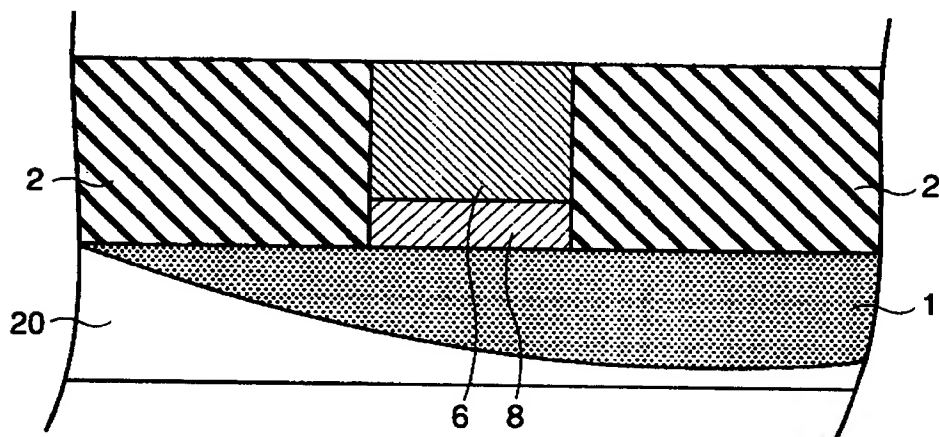
1 ソース／ドレイン領域、2 層間酸化膜、3 a 窒化タンタル膜、3 b 酸化インジウム膜、4 酸化タンタル膜、5 a 窒化タンタル膜、5 b 酸化インジウム膜、6 タングステン膜、7 銅膜、8 チタンナイトライド膜、9 窒化タンタル膜、1 0 窒化タンタル膜、2 0 半導体基板、3 0 a 窒化タンタル膜、3 0 b 酸化インジウム膜、4 0 酸化タンタル膜、5 0 a 窒化タンタル膜、5 0 b 酸化インジウム膜、7 0 銅膜、1 0 0 窒化タンタル膜。

【書類名】 図面

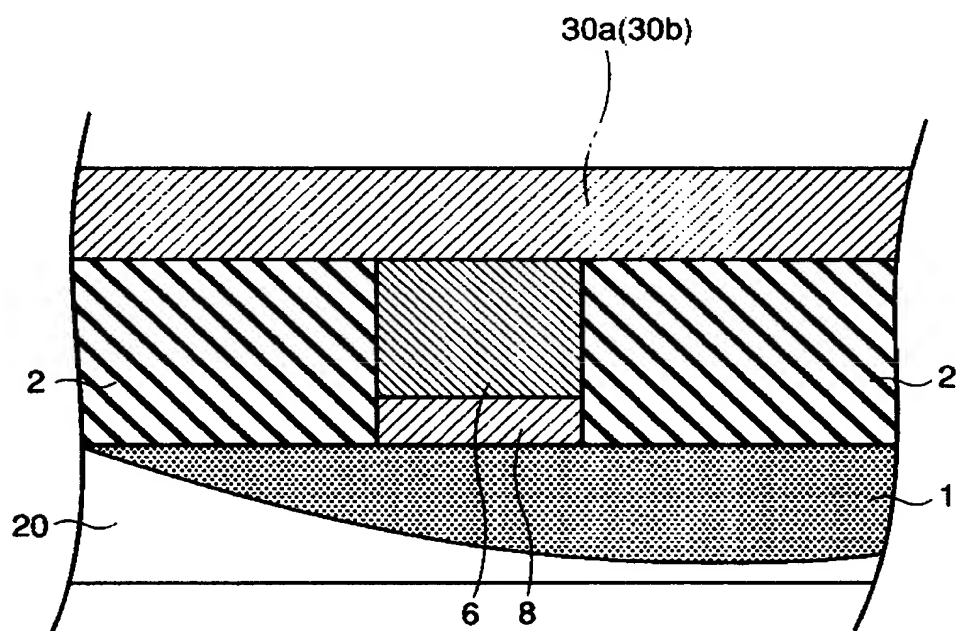
【図 1】



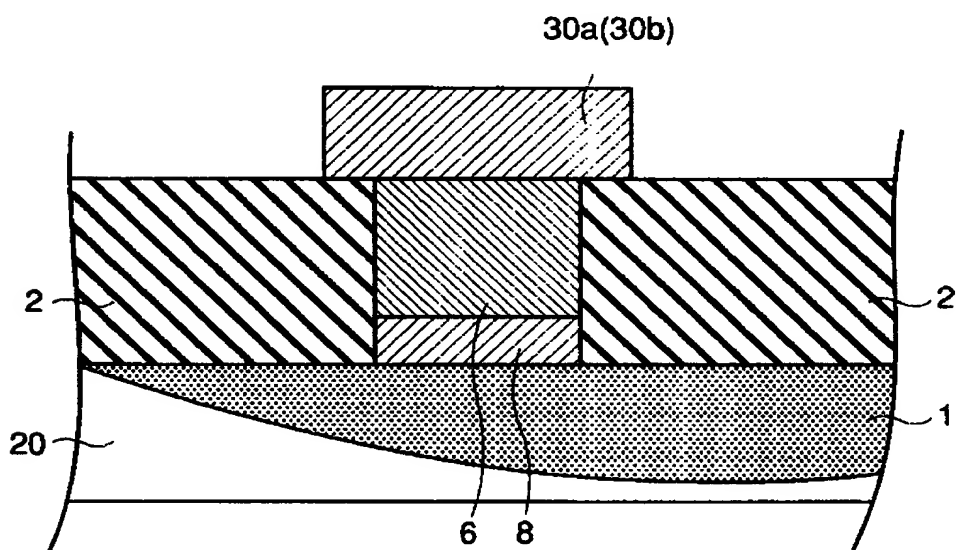
【図 2】



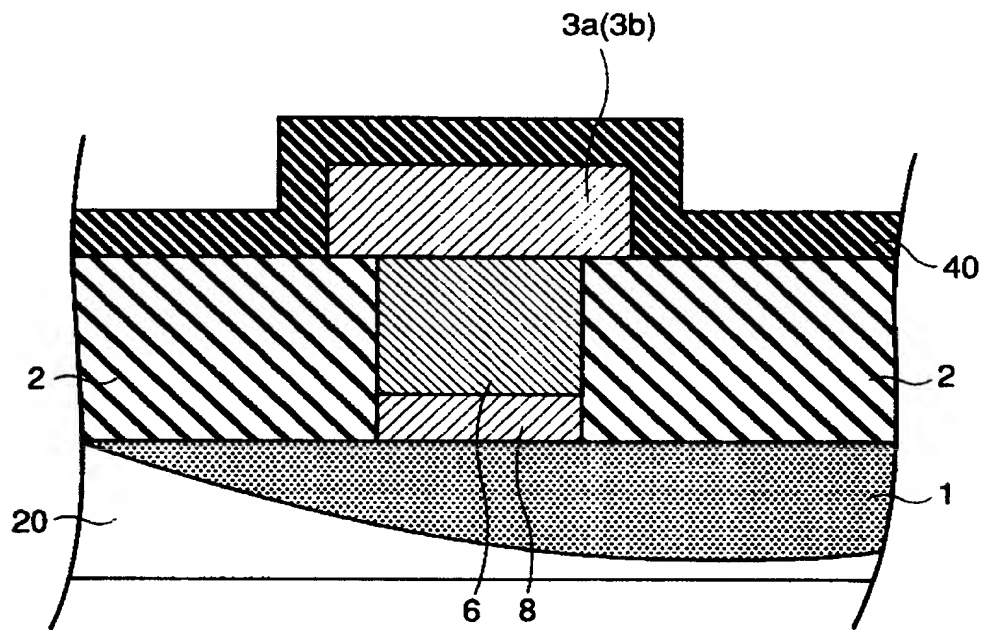
【図 3】



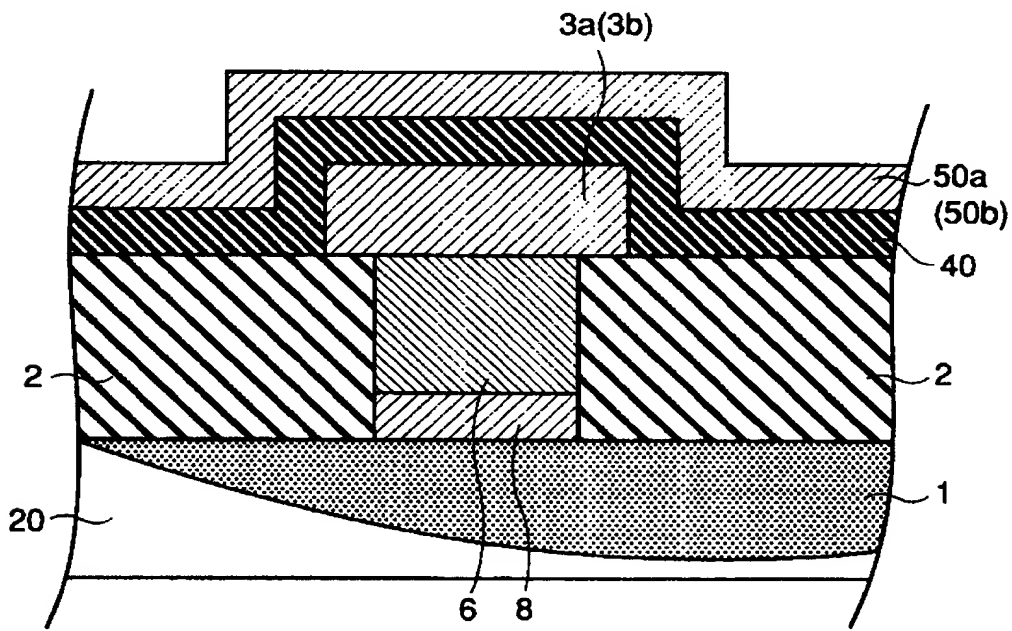
【図 4】



【図 5】

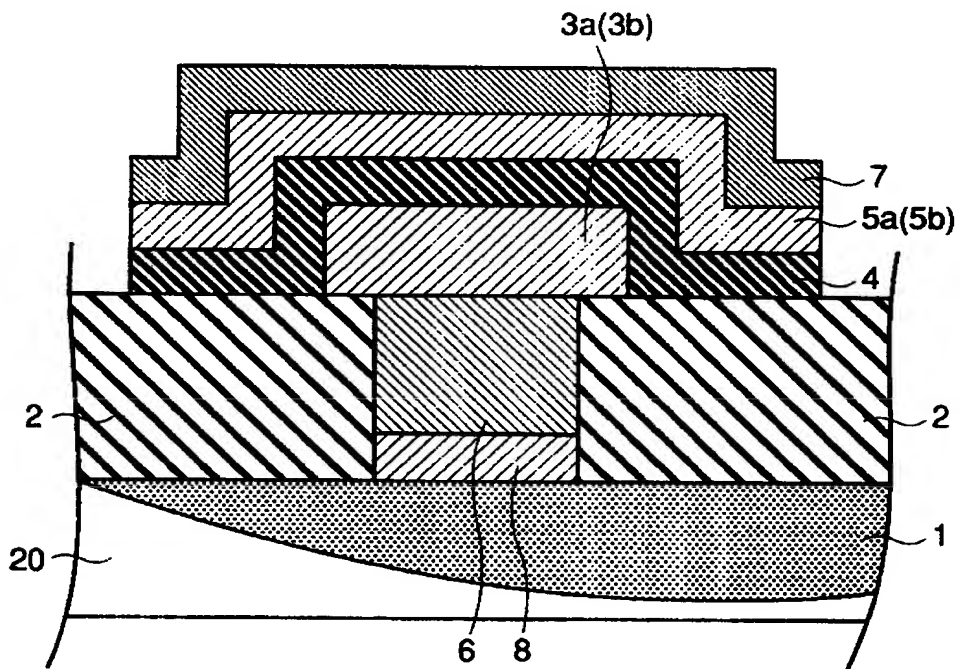


【図 6】

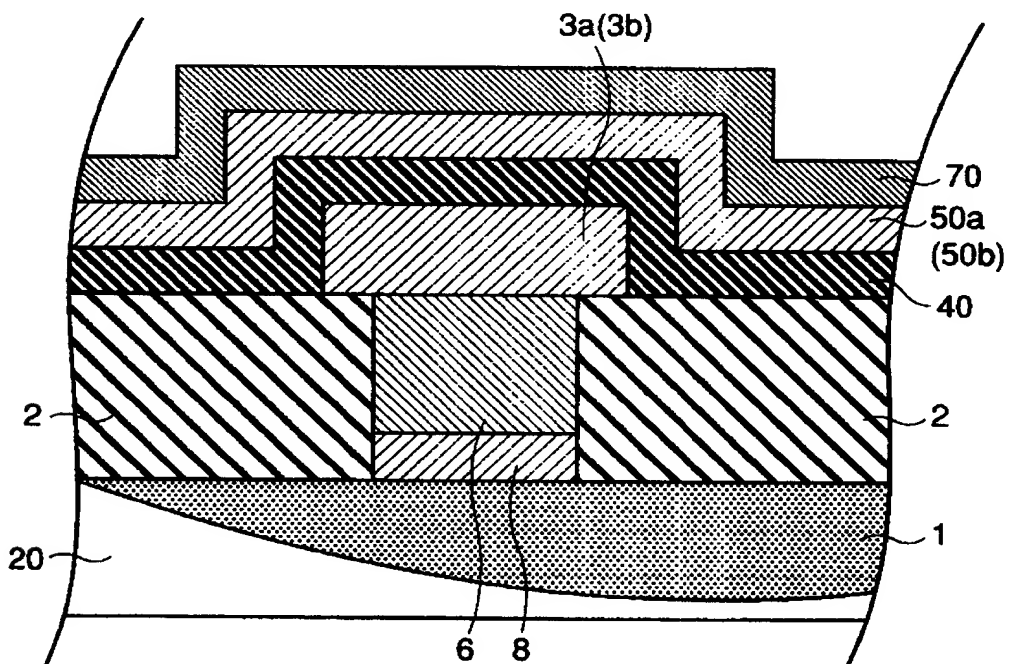




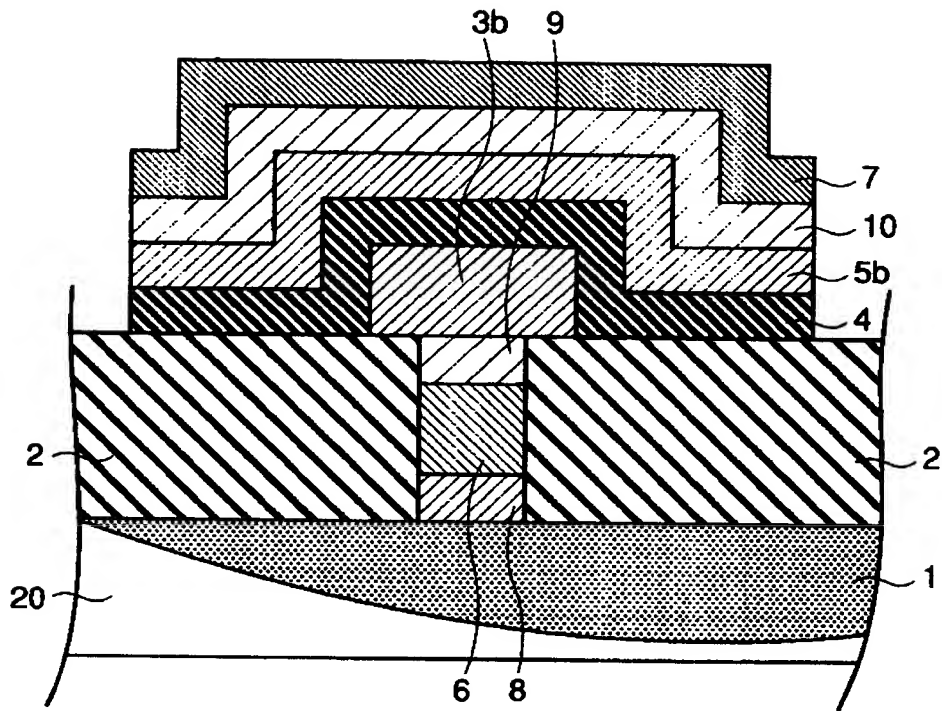
【図 7】



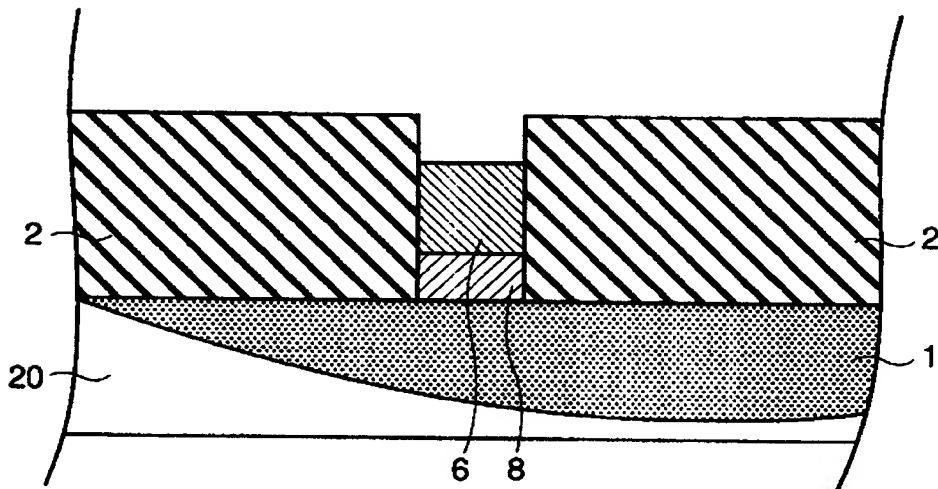
【図 8】



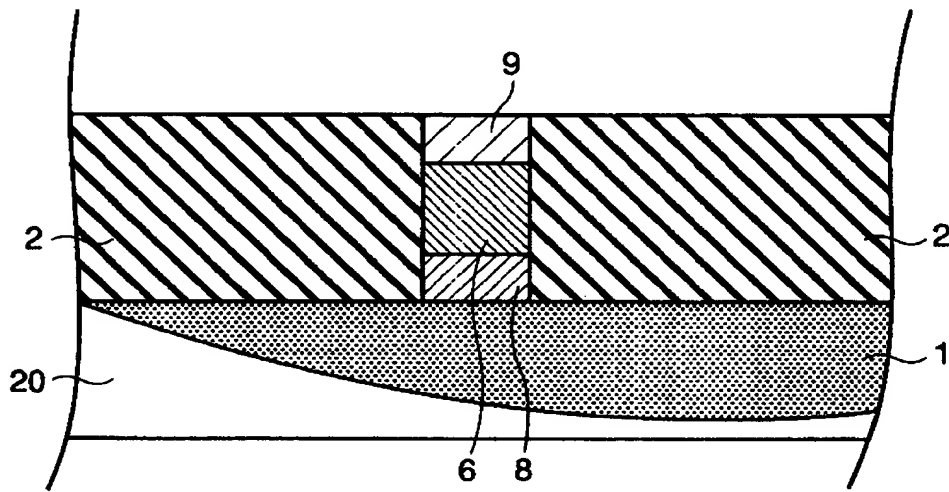
【図 9】



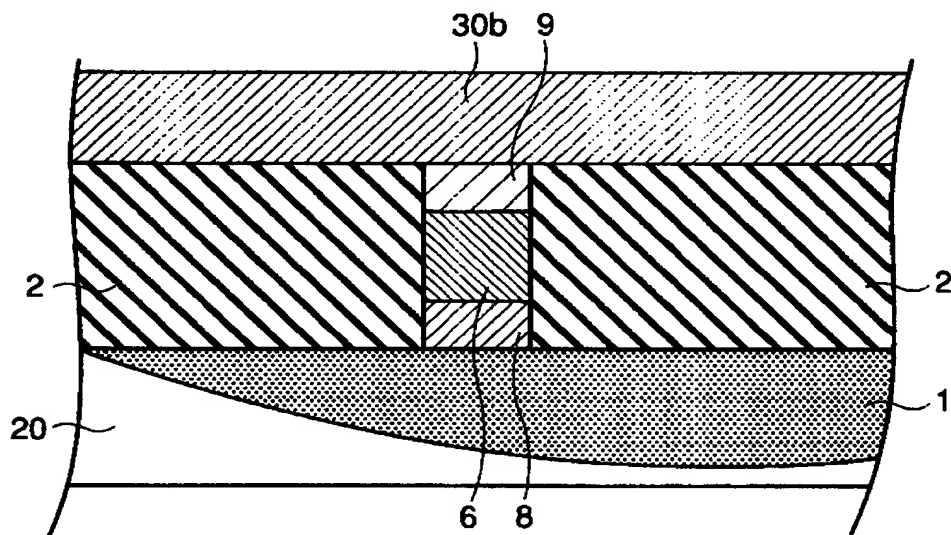
【図 1 0】



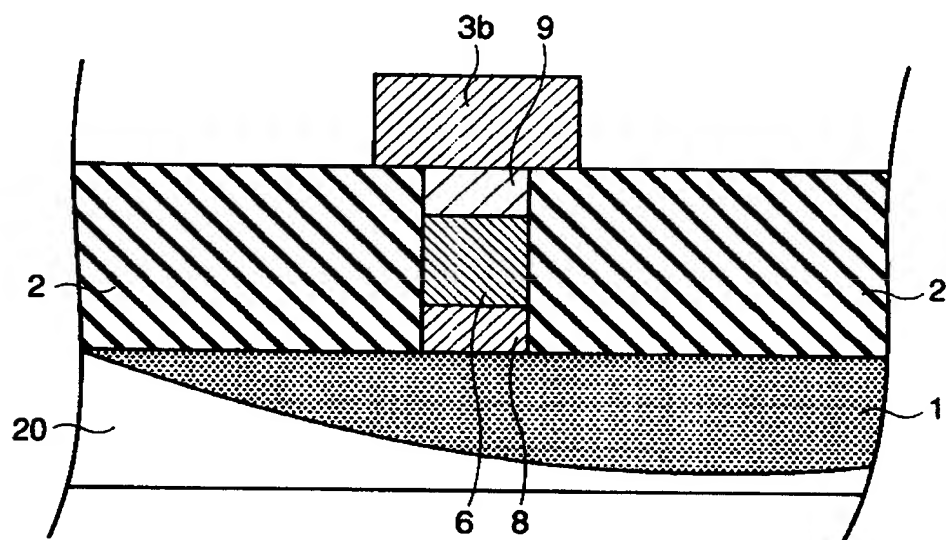
【図 1 1】



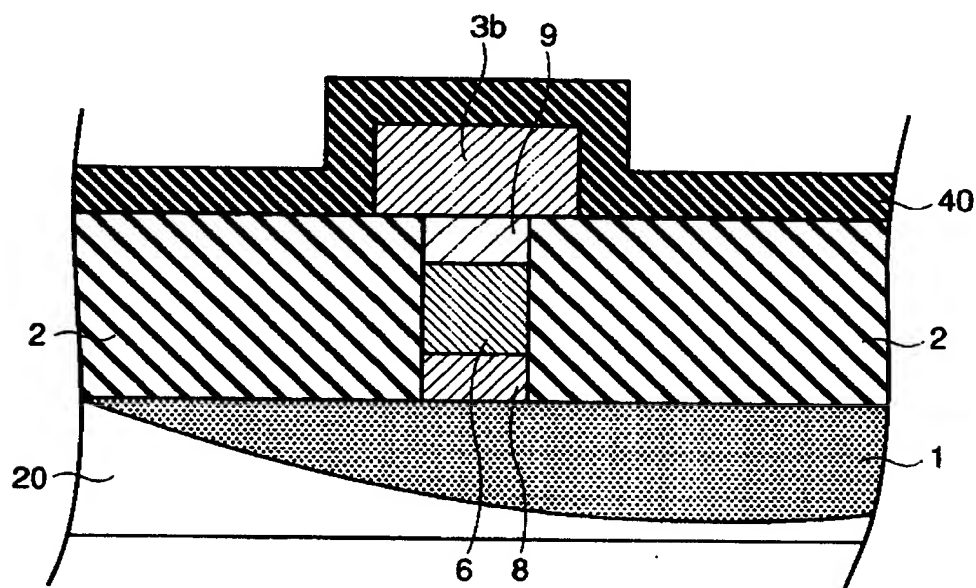
【図 1 2】



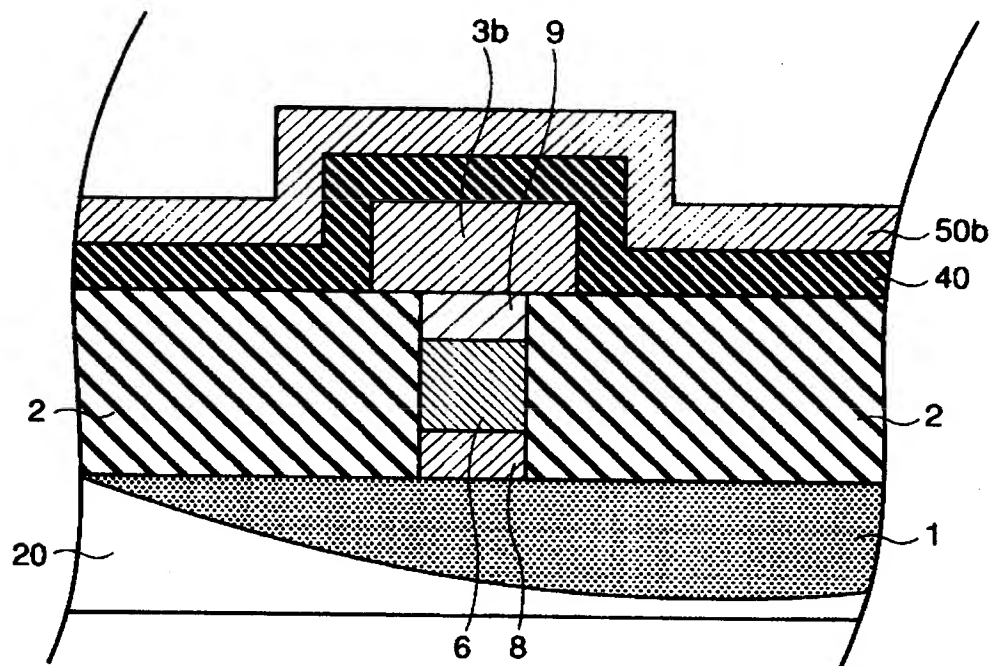
【図 1 3】



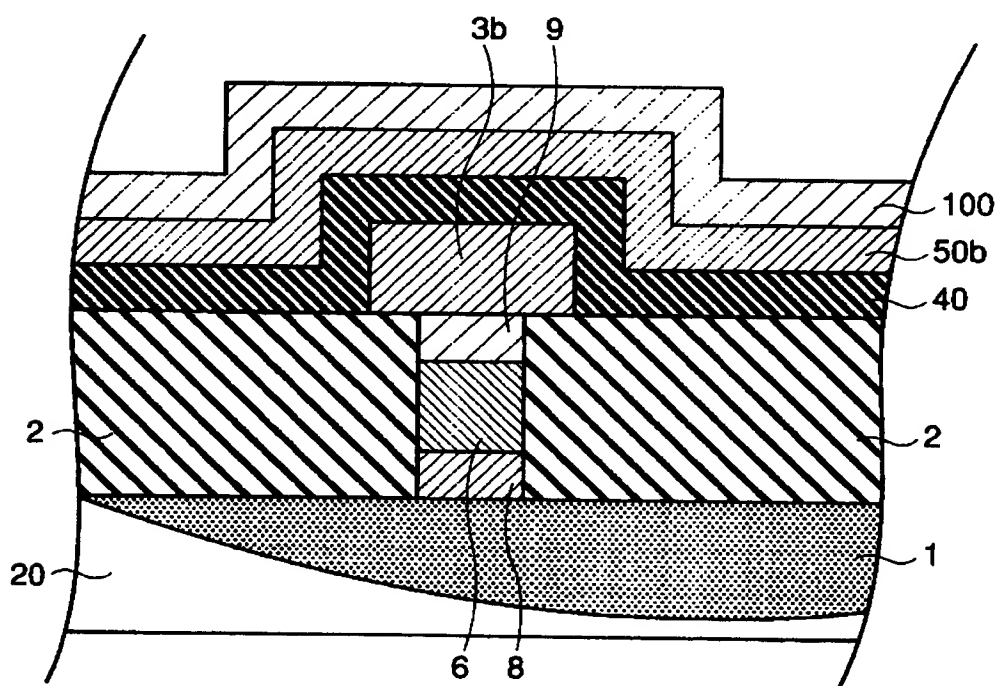
【図 1 4】



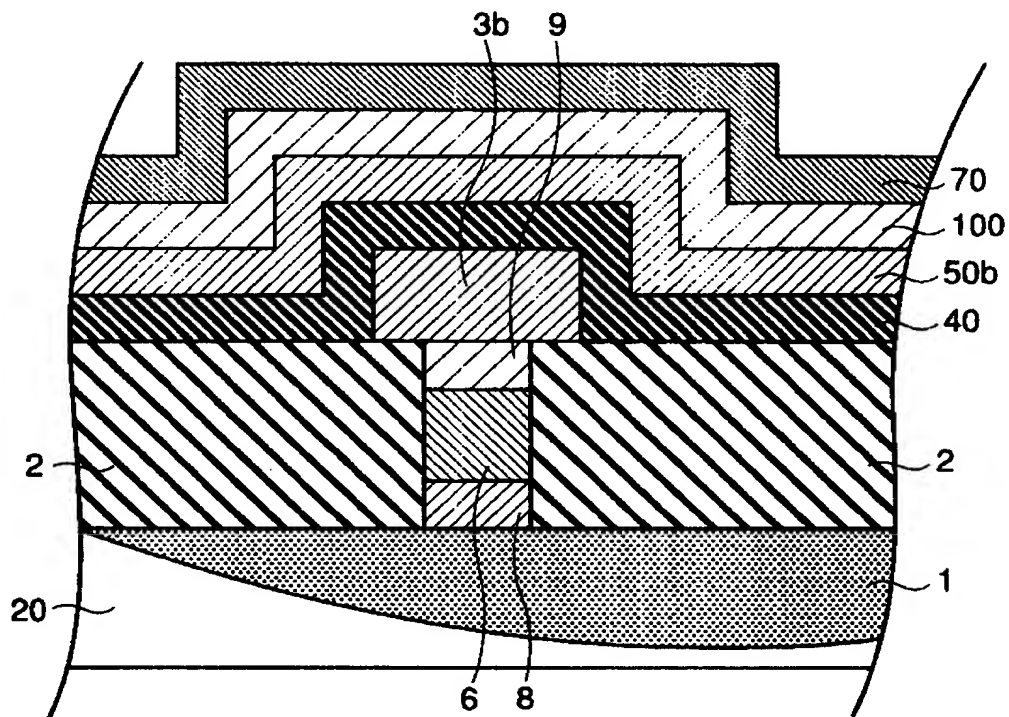
【図 15】



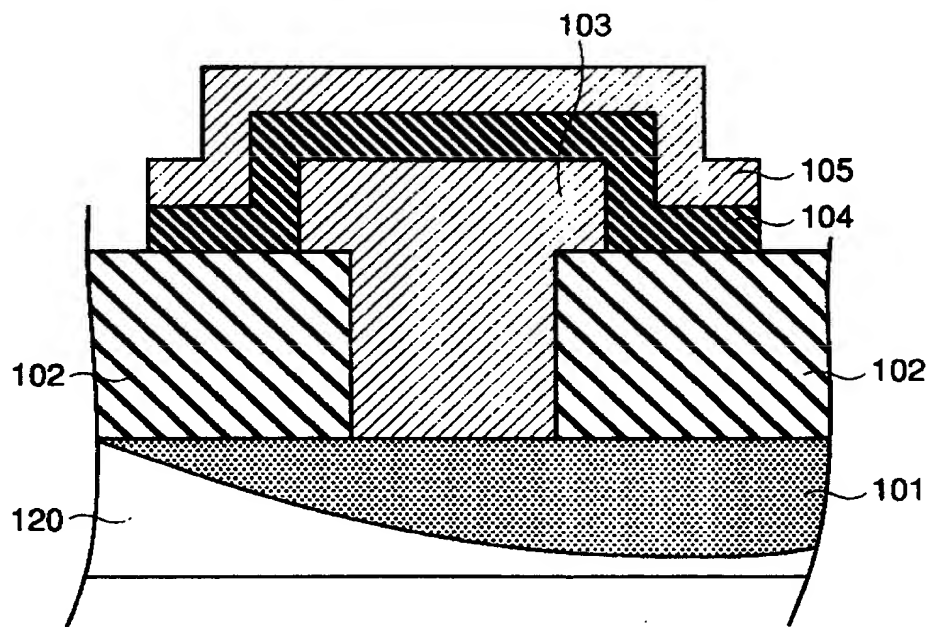
【図 16】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 キャパシタ誘電体膜にリーク電流が発生することを防止することにより、電荷保持特性が向上したキャパシタを備えた半導体装置およびその製造方法を提供する。

【解決手段】 タングステン膜 6 および層間酸化膜 2 の上面に連続するように、化学式  $\text{In}_2\text{O}_3$  で示される酸化インジウム膜 3 b が形成されている。この酸化インジウム膜 3 b の表面および層間酸化膜 2 の上面の一部を連続して覆うように、化学式  $\text{Ta}_2\text{O}_5$  で示される酸化タンタル膜 4 が形成されている。この酸化タンタル膜 4 の上面を覆うように、酸化インジウム膜 5 b が形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社